

PATENT ABSTRACTS OF JAPAN

09/230,361

(11) Publication number : 07-263619
(43) Date of publication of application : 13.10.1995

(51) Int. Cl. H01L 25/04
H01L 25/18

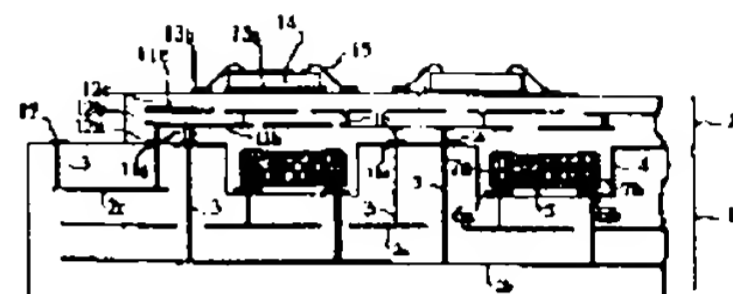
(21) Application number : 06-046615 (71) Applicant : TOSHIBA CORP
(22) Date of filing : 17.03.1994 (72) Inventor : ITO KENJI

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To cut down the wiring length from a power supply layer and a grounding layer to a chip capacitor for effectively abating the switching noise by a method wherein the chip capacitor is buried structured in a base substrate to be connected between a power supply layer and a grounding layer provided in a base substrate or thin film multilayer wiring part.

CONSTITUTION: A cavity 4 is formed on the surface of a base substrate 1 so as to contain a chip capacitor 5. Next, a terminal pad 6a and another terminal pad 6b are formed on the bottom part of the cavity 4 so as to respectively connect to the first and second terminal electrodes 7a and 7b. The terminal electrodes 7a, 7b are connected to terminal pads 6a, 6b by a wax material etc. In such a constitution, the chip capacitor 5 is almost directly connected to a grounding layer 2a and a power supply layer 2b so that the inductance of wiring may be reduced simultaneously giving notable effect on the noise abatement.



LEGAL STATUS

[Date of request for examination] 23.02.2000
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平7-263619

(43)公開日 平成7年(1995)10月13日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/04

25/18

H 0 1 L 25/ 04

Z

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号

特願平6-46615

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日

平成6年(1994)3月17日

(72)発明者 伊藤 健志

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

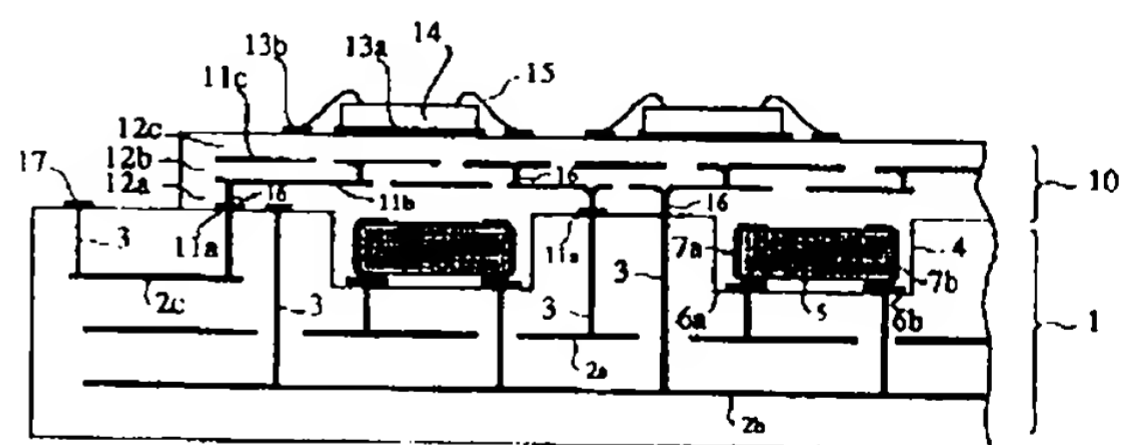
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 半導体装置

(57)【要約】

【構成】 ベース基板に薄膜多層配線部を設け、その上に半導体素子を搭載接続したマルチチップモジュール形の半導体装置において、チップキャパシタをベース基板に埋込込み、その上に薄膜多層配線部を形成し、このチップキャパシタをベース基板もしくは薄膜多層配線部に設けられた電源層と接地層と間に接続する。

【効果】 電源層および接地層からチップキャパシタまでの配線長を短くすることから、配線インダクタンスを低減できるため、高周波動作の素子を安定的に動作させることが可能となる。また、半導体素子等を搭載位置を直下とし、チップキャパシタを配置する位置、形状、個数等を、電源層と接地層との間にチップキャパシタを埋込させる基板に形成する時に合わせて、半導体装置としての厚さを減らすことが可能となる。



3

の方法が行われている。一つはセラミックのキャパシタをMCM基板の表面（薄膜多層配線部の表面）または裏面（ベース基板の裏面）に表面実装する方法であり、他の一つはMCM基板内部にデカップリングキャパシタを形成する方法である。前者において基板表面に搭載した場合、デカップリングキャパシタの分だけ面積を占有するため、デカップリングキャパシタを搭載すればするほど基板サイズが大きくなるという問題が生じる。また、一般的にチップキャパシタはLSIチップと比較して厚いためモジュール厚さが厚くなるという問題も生じる。

【0008】チップキャパシタをMCM基板裏面（ベース基板裏面）に設置する場合、同じくMCM基板裏面に配線される放熱フィン（高速動作するMCMは発熱も多大となるため放熱フィンが必須となる）を避けるために、LSI近傍には設置できない。そのためデカップリングキャパシタまでの電源または接地のインダクタンスが大きくなり、同時スイッチングノイズ低減効果が減少する。また、MCM基板裏面へのチップキャパシタ実装の工程が増加するとともに、チップキャパシタと放熱フィンの接続材料に温度差を及ぼす必要がある等工程が煩雑となる。

【0009】MCM基板内部にデカップリングキャパシタを形成する例としては、セラミックベース基板製造の際キャパシタを同時に形成する方法があるが、コストが増加を招くうえ、誘電体及び電極の材料の制限により高容量のデカップリングキャパシタを実現できず、個別に製作してチップキャパシタを併用しなければならぬという問題がある。

【0010】

【発明が解決しようとする課題】本発明はこのような問題に鑑みてなされたもので、その目的とするところは、安価なキャパシタを最も効率の良い態様で実装し、基板サイズを増加させることなく同時スイッチングノイズを低減できるMCM型の半導体装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置では、少なくとも内部に内層導体層を1層有するベース基板と、前記ベース基板の1主面に設けられる凹部と、この凹部には納められたチップキャパシタと、このチップキャパシタを含む凹部がベース基板の1主面に設けられる凹部とを有する薄膜多層配線部と、前記ベース基板の凹部もしくは前記薄膜多層配線部の内部に設けられた電源層と、前記ベース基板の凹部もしくは前記薄膜多層配線部の内部に設けられた接地層と、前記電源層と前記接地層とを接続する配線と、前記電源層・前記接地層とチップキャパシタと前記接地層とを接続する配線と、前記薄膜多層配線部に接続する導体層と

1

素子とを具備することを特徴としている。

【0012】前記電源層と前記接地層はベース基板の内部に設けられていてもよく、薄膜多層配線部の内部に設けられていてもよい。あるいは一方がベース基板内部に、他方が薄膜多層配線部内部に設けられていてもよい。

【0013】主層チップキャパシタは積層型のセラミックチップキャパシタを使用し、薄膜多層配線部は銅を主体とした導体層と、ホリイミドの絶縁層を交互に積層して形成している。

【0014】

【作用】チップキャパシタをベース基板に埋め込めた構造としたため、その上に薄膜多層配線部を形成することができる。そしてこのチップキャパシタをベース基板もしくは薄膜多層配線部に設けられた電源層と接地層の間に接続しているため、電源層および接地層からチップキャパシタまでの配線長を短くすることができる。従って配線のインダクタンスを低減できるため、同時スイッチングノイズを効果的に減少することが可能となる。

【0015】また他の部品、例えばLSIチップ等は搭載位置の直下にも、チップキャパシタを配置できるため、MCM基板のサイズを減少することが可能となる。またチップキャパシタをベース基板に内蔵する形になるため、MCMとしての厚さを減少することもできる。

【0016】チップキャパシタとして個別に製作された積層型のセラミックチップキャパシタを使用するため、小型で充分な容量が得られる。安価である。また薄膜多層配線部は誘電率の低いホリイミドを絶縁層とし、導体抵抗の低い銅を導体層に用いているため配線容量を低減することができ、同時スイッチングノイズを軽減することができる。

【0017】

【実施例】以下、図面に基いて本発明の実施例を詳細に説明する。図1、図2は本発明の第1の実施例に係わるMCMを示したもので、図1は一部断面図、図2は模式的な平面図である。図2のA-A線より断面図の内、左3分の2を示したものが図1に相当する。図においては1はベース基板で、アルミサ（Al₂O₃）や窒化アルミ（AlN）を絶縁材料とする同時焼成のセラミック多層基板を用いている。即ちベース基板1には内層配線部としてタングステン等を導体材料とする接地層2aを電源層とし、更に外部接続端子17に接続する導体配線部2bを有している。また、ベース基板1の凹部3aを有する。3をベース基板1の表面に導体層が形成している。なお層数は2層に限られるものではなく、複数の接地層、電源層等が存在しても良い。

【0018】またベース基板1の表面には凹部3aを有する。凹部3aは図2に示すように、凹部3aの底面にはチップキャパシタ5（図1）と電源層2aを接続する導体端子6（図2）

a、第2の端子電極7bを接続するための端子パッド6bが形設されている。前記チップキャパシタ5の端子電極7a、7bは導体材（図示せず）等により端子パッド6a、6bに接続されている。ベース基板1の表面とチップキャパシタ5の表面には段差があり、凹部4とチップキャパシタ5との間にも空隙部があるので、薄膜多層配線部の絶縁層と同等の樹脂で充填し表面を平坦化してある。

【0019】この様に形成されたベース基板1の表面に、薄膜多層配線部10が形成されている。即ち、ベース基板1の表面に導出された前記導出パッド13と導出面にはCuを主体とした薄膜第1導体層11a、電極パッド11aが形成され、薄膜多層配線部10との接続部となる。この上にホトイミド等の薄膜絶縁層12aを塗布し、さらにその上に信号層となる第2薄膜導体層11b、第2薄膜絶縁層12b、他の信号層となる第3薄膜導体層11c、第3薄膜絶縁層12cを順次積層し、最上層には半導体素子14を搭載接続するためのダイハット13a、ボンディングパッド13bを形成し、所望の導体層間を導出パッド14で接続することにより、薄膜多層配線部10が形成されている。前記半導体素子14は導電性樹脂（図示せず）等を用いて前記ダイハット13aに搭載され、ボンディングワイヤ15でボンディングパッド13bに接続されている。なお前記薄膜多層配線部の層数は上記に限られず多層にないことをいうものではない。

【0020】上記構成よりMCMの各構成部分に次のよう
にして製造し得る。例えば、ベース基板1はアルミナ（Al₂O₃）や窒化アルミ（AlN）を主材料とする
グラシンシートと呼ばれる未焼成シートを所定の寸法に切
断する。次に電子ポホール用開口部やその他開口部をハ
ンパシタ（開口部）、電子ポホールにはタンクスアンバー
スト等を充填する。次に導体パターンをタンクスアンバ
ースト等をマスクとして印刷することにより形成する。こ
の様に加工されたグラシンシートを必要の枚数積層し、
同時焼成することにより一体化された多層のベース基板
が得られる。

【0021】図3は前記ベース基板1の構成を模式的に示した断面図である。図3は最上層のゾルゲル2-1a、ゾルゲル2-1b、及びその間に設けられる開口部2-2a、及び開口部2-2bが形成された状態を示している。ここで開口部2-2aはa、開口部2-2bはbが充填された状態を示している。図3-1aの厚さおよび開口部2-2a、開口部2-2bの幅は、例えば、 $0.1\mu\text{m}$ 以上、 $10\mu\text{m}$ 以下である。また、開口部2-2a、開口部2-2bの深さは、例えば、 $0.1\mu\text{m}$ 以上、 $10\mu\text{m}$ 以下である。開口部2-2a、開口部2-2bの深さは、開口部2-2a、開口部2-2bの幅と等しいか、開口部2-2a、開口部2-2bの幅より大きい。開口部2-2a、開口部2-2bの深さは、開口部2-2a、開口部2-2bの幅より小さい。

[illegible]

【0023】図3（c）は接地層を示しており、グリーンシート21cにはビアホール23cが穿孔されており、タングステンペーストが充填されている。更に面状の接地層26がビアホール23cの周辺を覆って、同じくタングステンペーストで印刷で形成されている。

【0024】図3（d）は最下層の電源層を示したもので、グリーンシート21dに面状の導体層27がワンダーステンパーストの印刷で形成されている。上記の4枚のグリーンシートを図の順番で積層・加圧し、1500～1600℃の還元雰囲気中で焼成することにより図1に断面図で示す様なベース基板が完成する。これ、図1におけるベース基板1に相当する。なおチップキャリアハタが接続される端子パッド24にはろう付けのため、Niめっき等を施しておく。

【0025】次に図部1に搭載するセラミックハシタ5は、容量として1000pF～10,000pF程度が必要で、個明の小型チップキャハシタとしては、チタン酸バリウム等を誘電体とする積層型セラミックチップキャハシタが好適である。本実施例では1.0×0.5×0.5mmのサイズのものを使用した。セラミックチップキャハシタのペース基板への取付方法は、後述する薄膜多層配線部の形成時の処理温度に耐えられるものでなくともならない。例えば絶縁層12にポリイミドを用いた場合には、処理温度が100℃に達するため銀ろう付けが好適である。通常セラミックチップキャハシタの外部電極はAu/Ptペーストが塗布され焼成されているが、更に銀ろう等をコートしておき、ペース基板の凹部に設置し銀ろう等をコートをすることにより接続する。絶縁層12がポリイミド系の場合には200℃以下低温でAuコートするためハシタによる接続も可能となる。

【0026】またチップキャリアパシタを凹部1に搭載した直後には、ベース基板1の表面とチップキャリアパシタの表面には段差があるので、このままでは次の薄膜工程を行うことができない。そこで凹部1の空隙部を図5に断面的に示すように、充填樹脂3-1により埋め込み、ベース基板1の表面を平坦化する必要がある。充填樹脂3-1としては薄膜多層配線部10の絶縁層1-2aを同一のもの、例えばポリイミドであってもよく、異なる樹脂であってもよい。吸湿性を有するポリイミドに代えて吸湿性が少ない樹脂を用いると、充填樹脂3-1を形成した後に長期保存が可能となる。

【0027】次に薄膜多結晶層部の形成方法について説明する。図8に示すように、基板の上面に形成した第一電極上に厚さ約5nmの電着膜をおいて、図9のようにタングステン膜を形成されている。このタングステン膜は第一電極との接合特性により、加工精度が十分なため、薄膜回路を接続して装置には電極ハット12部を形成する。要するに、第一電極から基板の上面を鏡面研磨し、前処理を施し、市販のT1に含有する充填樹脂（エポキシ）表面を平滑化し、何型（図10）による

7

【0028】次に蒸着やスパッタによりバリメタル／Cu／バリメタルの第1導体層をベース基板全面に形成する。フォトリソレジストをスピンコート、露光、現像し、所定の必要パターン以外の部分をエッチング除去することにより電極パッド12aを形成する。なおバリメタルはCuとポリイミドの接着力向上と、Cuがポリイミド前駆体であるレジスに侵されることを防止するために使用されるもので、CrやTiが使用される。

【0029】次に感光性ポリイミドをスピンコート等により塗布し、基板全面に平坦なポリイミド層を形成する。その後露光現像することにより図6(a)の16用の開口部を開け、エッチングすることにより第1絶縁層12aを形成する。

【0030】その後同様な工程を繰り返すことにより、第2導体層11b、第2絶縁層12b、第3導体層11c、第3絶縁層12c、ワイアホール16が形成される。最上層にはダイパッド13a、ボンディングパッド13b等の半導体素子取付用の電極を形成する。半導体素子14は図示しない導電性ペースト等で前記ダイパッド13aに搭載され、ボンディングワイヤ15を介してボンディングパッド13bに接続されて、半導体素子の取付はTAB (Tape Automated Bonding) 方式であってもよい。あるいはないかもしれない。

【0031】また上記実施例では前記17の充填樹脂31による充填を、電極パッド12aの形成前に予め行っているが、第1絶縁層12aの形成と同時に進行してもよい。即ち電極パッド12aを形成後、充填樹脂31を前記17に充填・仮硬化し、その上に第1絶縁層12aを形成して平坦化処理をしてよい。また電極パッド12aの形成時には、凹部17をパスキングする等の考慮が必要である。

【0032】またベース基板1の層構成図6に示す様に、チップキャパシタ取付用の端子パッド6a、6bを接地層2aの同一面に設け、層を1層減らせることができる。引出配線2cを接地層2aに同居させるため、接地層の設計上若干の制約が加わるが、ベース基板の低価格化に効果がある。

【0033】以上説明した様に本実施例では、チップキャパシタ5をベース基板1に内蔵し、接地層53bと電源層53cには直接結合していないので、配線インダクタンスが減少し、同時スケーリングが容易に極めて大きな効果がある。

【0034】次に本発明の第2の実施例を図7(a)を参照して説明する。図7(a)は第2の実施例に係るMCMの断面図である。本実施例のベース基板1には接地層と電源層が内蔵されており、薄膜多層配線部51のベース基板1上には形成された外部接続端子12aの接続部12bと引出配線12cの1層分、チップキャパシタ15の1層分を含む即ち第1層が形成されている。図7(a)は第2層の形成工程で、図7(b)は薄膜多層配線部51の1層の後の工程で、

8

53bと電源層53cと接続される構成となっており、チップキャパシタ15は絶縁性の接着剤16、例えばポリイミド樹脂で凹部14の底面に接着される。さらに凹部14の空隅部をポリイミド等の充填樹脂47で充填した後、前記チップキャパシタ45の端子電極48a、48bとの接続用の穿孔をフォトリソング等により行う。その後第1の実施例と同様に薄膜多層配線部の形成を行う。

【0035】即ちベース基板11の表面に前処理を施し、蒸着やスパッタにてCuを主体とした第1導体層を形成し、パターンニングすることにより電極パッド53a、外部接続端子52、端子電極48と接続ワイヤ62を介して接続する引き出し線53a'等を形成する。次にポリイミドの第1絶縁層54aをスピンコート等により塗布し、引き出し線53a'への接続ワイヤ55、56、その他のワイアホール57のための開口をフォトリソング等により形成する。

【0036】さらに第2導体層（接地層）53bを上記と同様な方法で形成・パターンニングし、同時に接続ワイヤ55、56、その他のワイアホール57を形成する。これにより第2導体層53bとチップキャパシタ15の第1の端子電極48aとの接続が接続ワイヤ55を介して形成される。

【0037】さらにポリイミドの第2絶縁層54bを形成し、接続ワイヤ56に連接する接続ワイヤ56'とその他のワイアホール57のための開口を行う。その上に第3導体層（電源層）53cを形成し、同時に接続ワイヤ56'を形成することによりチップキャパシタ45の第2の端子電極48bと第3導体層53cとの接続が形成される。

【0038】以下第3絶縁層54c、第4導体層（信号層）53d、第4絶縁層54d、第5導体層（信号層）53e、第5絶縁層54eを同様な方法で順次積層し、最上層にダイパッド58、ボンディングパッド59等を形成する。ダイパッド58には半導体素子60が搭載され、ボンディングワイヤ61を介してボンディングパッド59に接続されている。

【0039】このような構成をとると、チップキャパシタ15は接地層53bと電源層53cに短距離・接続され、配線のインダクタンスが減少し同時にスケーリングが実現可能になる。更にベース基板1には電源層、接地層を内蔵していないで、パターンの精度を損ねない程度、ベース基板11を薄型化することが可能になり、完全MCMではなくMCM全体が薄型化される。なお接地層（53b）、電源層（53c）、信号層（53d、53e）の配設順序は上記実施例に限られるものではない。順序を入れ換えてもよい。

【0040】以上本発明の実施例を説明したが、本発明は上記実施例に限定されるものではなく、種々の変形が可能である。例えば電源層とベース基板に内蔵した接地層

を薄膜多層配線部に内蔵して、チップキヤパシタをこの電源層、接地層に接続するようによい。要はベース基板の内部に収納されたチップキヤパシタを直連に配置された接地層、電源層に接続すればよいのである。またベース基板はセラミックスに代えてガラス、ポリイミド等樹脂基板を用いてもよい。

【0011】

【発明の効果】チップキヤパシタをベース基板に埋め込み、その上に薄膜多層配線部を形成し、このチップキヤパシタをベース基板もしくは薄膜多層配線部に設けられた電源層と接地層の間に接続しているため、電源層および接地層からチップキヤパシタまでの配線長を短くすることができ、従って配線インダクタンスを低減できるため、同時スイッチングノイズを効果的に減分することが可能となる。

【0012】また半導体素子等の搭載位置の直下にも、チップキヤパシタを配置できるため、MCM基板のサイズを減少することが可能となる。またチップキヤパシタをベース基板に内蔵する形になるため、MCMとしての厚さを減分することもできる。チップキヤパシタとして個別に製作された積層型セラミックチップキヤパシタを使用すること、小型で十分な容量が得られるので安価である。

【0013】ポリイミドを絶縁層、Cuを導体層とした薄膜多層配線部を使用すれば、配線容量が小さくなるので、同時スイッチングノイズの影響をさらに低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる半導体装置の一部断面図

【図2】本発明の第1の実施例に係わる半導体装置の平面図

【図3】本発明の第1の実施例に係わるベース基板の積

層前の構成を示す断面図

【図4】本発明の第1の実施例に係わるベース基板の積層後の状態を示す断面図

【図5】本発明の第1の実施例に係わるベース基板にチップキヤパシタを埋め込み、充填樹脂で充填した状態を示す断面図

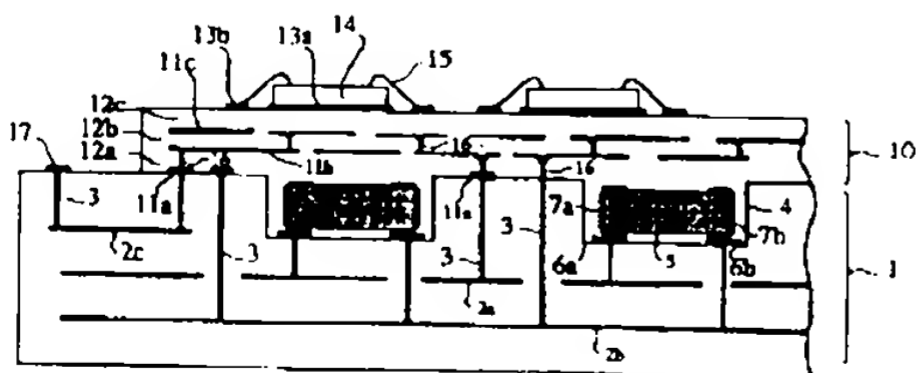
【図6】本発明の第1の実施例に係わるベース基板の変形例を示す断面図

【図7】本発明の第2の実施例に係わる半導体装置の一部断面図。

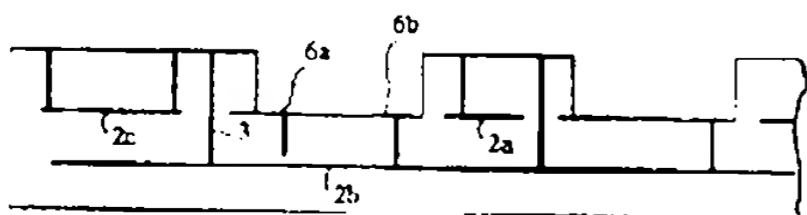
【符号の説明】

- 1 …… ベース基板
- 2 a …… 接地層
- 2 b …… 電源層
- 2 c …… 引出配線
- 3 …… ウィアボンド
- 4 …… 凹部（キヤパシタ）
- 5 …… チップキヤパシタ
- 6 a、6 b …… 端子パッド
- 7 a、7 b …… 端子電極
- 10 …… 薄膜多層配線部
- 11 a …… 電極パッド（第1導体層）
- 11 b …… 第2導体層
- 11 c …… 第3導体層
- 12 a …… 第1絶縁層
- 12 b …… 第2絶縁層
- 12 c …… 第3絶縁層
- 13 a …… ケースパッド
- 13 b …… 引出インダクタパッド
- 14 …… 半導体素子
- 15 …… 引出インダクタ
- 16 …… ウィアボンド
- 17 …… 外部接続端子

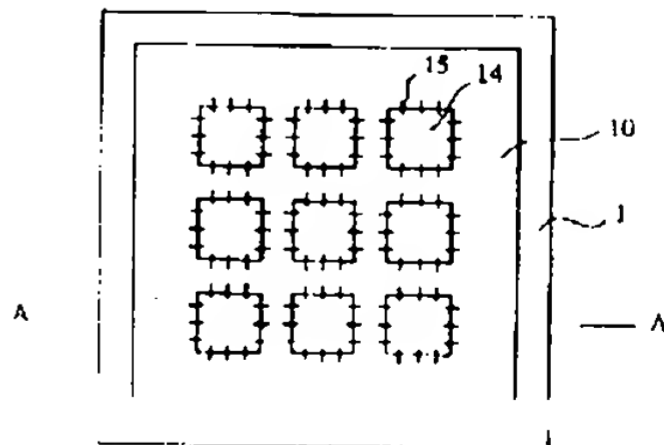
【図1】



【図3】



【図2】



【24】

